

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-076295

(43)Date of publication of application : 15.03.2002

(51)Int.Cl.

H01L 27/105
C04B 35/49
H01L 41/09
// C23C 14/08
C23C 16/40

(21)Application number : 2001-140880

(71)Applicant : AGILENT TECHNOLOG INC

(22)Date of filing : 11.05.2001

(72)Inventor : MIRKARIMI LAURA WILLS
AMANO JUN

(30)Priority

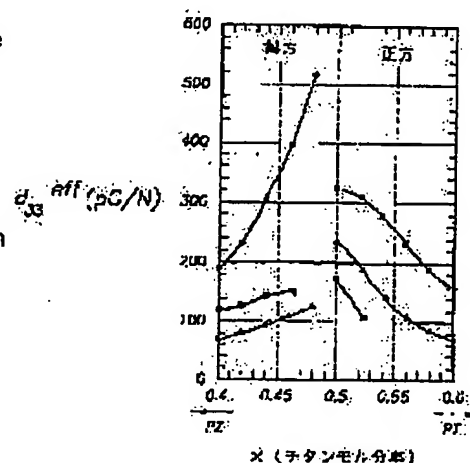
Priority number : 2000 570185 Priority date : 12.05.2000 Priority country : US

(54) APPARATUS HAVING MULTILAYER ELECTRIC DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize usability at a low voltage and electrical characteristics not affected by the influence of external stresses applied.

SOLUTION: A means for minimizing a volumetric change and a change of electric characteristics of dielectric thin films to be accepted by a semiconductor device is proposed. A crystallographic structure is introduced into these dielectric thin films to minimize a piezoelectric coefficient of a metal, and electromechanical stresses are reduced. In addition to having low piezoelectric coefficient, a rhombohedral lead zirconate titanate thin film in oriented along (111) exhibits a low magnetic keeping field and high remnant polarization, and usefulness of the thin film in the semiconductor device forming a layer is improved.



■ [001]//
▲ [111]//
■ セラミック

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-76295

(P2002-76295A)

(43) 公開日 平成14年3月15日 (2002.3.15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/105		C 0 4 B 35/49	A 4 G 0 3 1
C 0 4 B 35/49		C 2 3 C 14/08	K 4 K 0 2 9
H 0 1 L 41/09		16/40	4 K 0 3 0
// C 2 3 C 14/08		H 0 1 L 27/10	4 4 4 B 5 F 0 8 3
16/40		41/08	U
審査請求 未請求 請求項の数11 O L (全 5 頁)			

(21) 出願番号 特願2001-140880(P2001-140880)

(22) 出願日 平成13年5月11日(2001.5.11)

(31) 優先権主張番号 09/570185

(32) 優先日 平成12年5月12日(2000.5.12)

(33) 優先権主張国 米国 (US)

(71) 出願人 399117121

アジレント・テクノロジーズ・インク
AGILENT TECHNOLOGIE
S, INC.アメリカ合衆国カリフォルニア州パロアル
ト ページ・ミル・ロード 395

(72) 発明者 ローラ・ウィルズ・ミルカリミ

アメリカ合衆国カリフォルニア州94586,
スノル, キルケアー・ロード 2155

(74) 代理人 100099623

弁理士 奥山 尚一 (外2名)

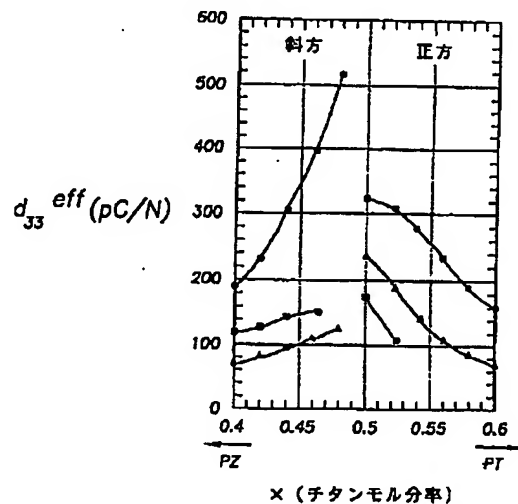
最終頁に続く

(54) 【発明の名称】 多層電気デバイスを有する装置

(57) 【要約】

【課題】 低電圧での使用可能性、および印加される外部応力の影響を受けない電気的特性を実現する。

【解決手段】 容積変化、および半導体装置に受け入れられる誘電体薄膜の電気的特性の変化を最少にする手段を提案する。これらの誘電体薄膜に結晶学的構造を導入することによって金属の圧電係数が最少化されるとともに、電気機械的応力が低減される。低圧電係数を有することに加えて、(111)に沿った方向の斜方六面体ジルコン酸チタン酸鉛薄膜が低保磁界と高残留分極を呈し、層をなす半導体デバイスにおけるその薄膜の有用性が向上する。



- [001]//
- ▲ [111]//
- セラミック

【特許請求の範囲】

【請求項1】 多層電気デバイス有する装置であって、
誘電層と、
前記誘電層との電気的連絡を行なう導電層と、を含み、
前記誘電層は、圧電材料を含み、
前記誘電層の組成および方向は、該誘電層中の前記圧電材料の電気特性への、他の層によって印加される機械的応力の影響を最小にするように選択され、
前記圧電材料の分極双極子の突出に沿って配向された前記誘電層中のドメインの数が最大化されることを特徴とする装置。

【請求項2】 誘電材料を含む配向薄膜を有する装置であって、
前記膜の特性は、前記誘電材料両端の電圧と前記誘電材料に対する機械的応力との間の相互作用を最小限とするように最適化されており、
前記最適化された特性は、前記誘電材料の前記組成と前記膜の前記方向とを含む群から選択され、
前記誘電材料は圧電材料を含むことを特徴とする装置。

【請求項3】 前記導電層は、前記誘電層に隣接していることを特徴とする請求項1記載の装置。

【請求項4】 前記圧電材料は、強誘電材料を含む請求項1または2記載の装置。

【請求項5】 前記強誘電材料は、 $0.15 < x < 0.4$ のとき、組成 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ を有することを特徴とする請求項4記載の装置。

【請求項6】 前記 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ は、(111) 方向を有することを特徴とする請求項5記載の装置。

【請求項7】 前記 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ は、斜方六面単位格子を有することを特徴とする請求項5記載の装置。

【請求項8】 前記 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ は、堆積された $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ が配向される面内の原子間間隔と適合した原子間間隔を有する下部層上に堆積されたことを特徴とする請求項5記載の装置。

【請求項9】 前記下部層（基板材料）は、 0.37nm と 0.45nm との間の原子間間隔を有する材料、プラチナ、またはイリジウムを含むことを特徴とする請求項8記載の装置。

【請求項10】 前記デバイスは、トランジスタまたはコンデンサであることを特徴とする請求項1記載の装置。

【請求項11】 強誘電薄膜を含む電気デバイスであって、
前記薄膜は、斜方六面単位格子を有する $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ を含み、
前記薄膜は、(111) 方向を有することを特徴とする装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、強誘電性メモリの製造に関するものであり、さらに詳細に記せば、配向 (oriented) $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 薄膜を組み込んだ強誘電性メモリの製造に関する。

【0002】

【従来の技術】 埋込式メモリの適用によって、2つの異なるシリコン技術、ロジックおよびメモリがまとまり、装置集積における新たな可能性が与えられた。現在までに、メモリ装置中で使用される分離 (discrete) 強誘電性 (FE) コンデンサに関する公報および特許は数多く存在してきた。しかしながら、チタン酸ジルコン酸鉛 (PZT) など、一般的に使用されるFE材料は圧電性であるので、その電気特性が機械的応力または物理的歪みに反応して変化する。さらに、その電気特性は、電界が印加される場合に物理的歪みを示す。この歪みは、材料の電荷蓄積特性を変化させる場合がある。したがって、強誘電性の材料が様々な材料を含む4〜5層を含む装置に埋め込まれる場合、実行者は、強誘電層上に印加される応力の電気的影響に注意しなければならない。メモリの適用には、下部層の堆積の結果として発生する応力の変化の影響を受けない強固な誘電材料を必要とする。PZTおよびその他の強誘電材料を含む半導体メモリ中で使用される誘電体は、印加される外部応力から独立した電気特性を有する必要がある。すなわち、機械的応力（または体積）と電圧との間の相互作用は低減されなければならない。

【0003】

【発明が解決しようとする課題】 残留分極がPZTからなる他の位相より正方位相においての方が大きいため、メモリ適用のために強誘電薄膜トランジスタ膜を研究する研究者の大部分は格納媒体として、正方PZT材料を用いる。さらに、それらの膜は、PZTの他の位相を取り入れた膜よりも製造がしやすい。しかしながら、正方膜は、その比較的高い保磁界のため、高い駆動電圧を必要とすることである。この駆動電圧は、膜厚を減少させることによって低減させることができるが、そのような薄膜は電荷を確実に蓄積することができない場合が多い。低電圧で使用可能で印加される外部応力の影響を受けない電気的特性を示す誘電材料（すなわち、低保磁材料）が必要とされる。

【0004】

【課題を解決するための手段】 一態様において、本発明はコンデンサまたはトランジスタなどの多層電気デバイスを有する装置であって、互いに電気的連絡を行なう誘電層と導電層とを含む。誘電層は圧電材料を含み、その組成および方向は、誘電層中の圧電材料の電気特性への他の層によって印加される機械的応力の影響を最小限に抑えるように選択される。さらに、層の組成は、圧電材料の分極双極子の突出に沿って方向づけられる利用可能

なドメインの数を最大限にするように最適化され、電荷蓄積用に利用可能な層中にドメインの数を増加させる。好適実施形態において、強誘電材料は、 x が0.15 < x < 0.4のとき、組成 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ を有する強誘電材料である。その結果、強誘電材料は斜方六面単位格子を有する。PZTは(111)方向で堆積可能である。また、本手段は $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ が堆積された下部層を含む。層は、すなわち0.37nmと0.45nmとの間の原子間間隔を有し、堆積された $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ が配向される面内の原子間間隔と適合する。

【0005】また、本発明は方向を有する誘電材料を含む配向薄膜に関し、組成および方向などの膜の特性は、誘電材料両端の電圧と誘電材料に対する機械的応力との間の相互作用を最小限とするように最適化される。好適実施形態において、誘電材料は強誘電材料を含む。この場合においても、材料は、 x が0.15と0.4との間のとき、組成 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ を有することができ、結果として斜方六面単位格子となる。PZTは(111)方向で堆積可能である。

【0006】別の態様において、本発明は、圧電材料を含む誘電層を取り入れた電気デバイスに関する。圧電材料は、組成 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ を有する強誘電材料を含む。そのようなPZT材料は、 x が0.15と0.4との間のとき、斜方六面単位格子を有する。材料が(111)方向で堆積される場合、電気機械係数 d_3 は最小となる。

【0007】

【発明の実施の形態】本発明は、誘電材料（すなわちPZT）の圧電特性が最小限となる半導体装置用の改良型誘電層の製造に関する。斜方六面PZT材料は、様々な理由において強誘電メモリ適用時に魅力的である。例えば、斜方六面PZTは正方位相の半分の保磁界を有するため、1.5ボルト以下の動作電圧を実現するには、斜方六面PZTを含む膜は正方PZTを取り入れた膜の2倍の厚さでもよい。

【0008】また、斜方六面PZTは正方PZTよりも低い圧電定数を有する（図1：Du等、Appl. Phys. Lett. 72:2421-2423, 1998）。最小の電気機械係数 d_3 は、正方位相（tetragonal phase）中のいずれかの方向に沿うよりも斜方六面体の擬似立方（111）方向に沿った方が大幅に小さくなる。斜方六面材料の場合、 d_3 係数の組成に対する依存がわずかであるため、電気的性能の見地から、強誘電材料に対しての最良の組成を選択する際に柔軟性が与えられる。 $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ 薄膜（ただし x は0.15~0.4の間）は、斜方六面単位格子を有し、斜方六面から正方（ $x \sim 0.5$ ）へ、および斜方六面から直交（ $x \sim 0.1$ ）への位相遷移領域からも離れている。

【0009】正方PZTなどの強誘電材料に対する別の問題は、90度のドメイン形成である。この90°のドメインは薄膜中に形成され、強誘電体と基板との間の熱不

整合および格子不整合ひずみに対する補償を行なうことによって、システム・エネルギーを低減する。正方PZTは、[001]に沿って強力な分極双極子を示し、[100]に沿っては事実上分極を示さず、正方系において[001]に対して90度を形成する。それらの[100]ドメインは電氣的切り換えができず、切換電荷が発生しない。しかしながら、コンデンサ毎の切換電荷は膜中のドメイン・パターンに従って変化する。トランジスタのサイズが減少すると、強誘電コンデンサは小さな部分内に適合するように縮小されなければならない。その結果、コンデンサ毎の切換電荷は次第に小さくなる平均化ドメインを含む。正方PZTにおいて、切換電荷を全く発生させない90度のドメインが形成されると、この平均切換電荷は減少する。斜方六面位相材料は正方材料と同様のふるまいを有し、90度よりもわずかに小さい角度でドメインを形成する。しかしながら、正方材料とは異なり、斜方六面材料の最大双極子モーメントは111方向に沿って存在する。したがって、90度のドメインを形成する111指向斜方六面体PZT膜において、各ドメインは[111]の成分（または突起）を含み、それによってドメイン間の分極電荷の変化を低減し、コンデンサ・セル間の切換電荷がより一定となる。

【0010】(100) PZTの斜方六面組成は、約40 $\mu\text{C}/\text{cm}^2$ の残留分極と、25~30 kV/cmの保磁界とを示す。最大双極子は[111]に沿って存在し、(100)指向材料の計測は、最大（ベクトル）値の予測のみを示すため、(111)指向斜方六面材料はさらに高い残留分極を発生させる場合がある（Foster等、Appl. Phys. 81:2349-2357, 1997）。チタン酸鉛の比率は15~40%の間（斜方六面/正方位相遷移および斜方六面/直交位相遷移からかなり離れている）に抑えられなければならない。当業者による斜方六面領域内の組成の定期的変更によって、電気特性、磁気特性、機械的特性およびその他の特性の最適化が可能となる。

【0011】好適実施形態において、斜方六面PZTは、強誘電メモリ装置に誘電層として組み込まれる。図2は、シリコン（またはその他の半導体）基板12、トランジスタ14、プラグ16、拡散障壁18、下部電極20、誘電層22、上部電極24、ビット線26、および金属線28を含む例示の1トランジスタ/1コンデンサ強誘電メモリ装置10を示すものである。それらのメモリ装置の製造技術は、米国特許第5,767,541号（Hanagasakiへ発行、本願明細書中に引用）中に記載されている。また、斜方六面PZTは米国特許第3,832,700号（Wuへ発行、その全内容が本願明細書中に引用されている）に記載されているメモリなどの1トランジスタ型のメモリに組み込まれることが可能である。

【0012】斜方六面PZT膜は、有機金属化学蒸着法（MOCVD）、スパッタリング、またはゾルゲル法によって堆積されることが可能である。位相は、部分的に、前駆材

料の組成を制御することによって制御される。上記技術のいずれかによって堆積された膜の粒径および方向は、いくつかの機構のうちのいずれかによって設計可能である。一機構によれば、膜組織は基板に平行な所望の格子面の間隔に同様の原子間間隔を有する鑄型を選択することによって制御される。したがって、この鑄型および成長する膜の格子定数が同様の場合、特定の成長方向は、基板中で特定の方向を獲得することによって促進可能となる。

【0013】この原理は、プラチナまたはインジウムのいずれかを鑄型として使用することによってPZT膜の堆積に適用可能である。プラチナおよびイリジウムは、強誘電コンデンサ用の電極として一般的に使用され、好都合なことに、それらの格子定数はこの適用に特に適している。しかしながら、この基板はPtまたはIrに限定される必要はない。それらの配向強誘電膜に対する他の適用には、異なる基板が必要な場合がある。その場合、原子間間隔が堆積材料の堆積される所望の面(h'k'l')の原子間間隔に適合した面(hkl)を、基板が有していればよい。すなわち、基板の原子間間隔は所望の方向での膜成長を促進しなければならない。大まかに言えば、2つの原子間間隔の差異は、約10%より小さくなければならない。イリジウムおよびプラチナの格子定数は、約0.394nmおよび0.392nm、であり、斜方六面PZTは0.411nm以下の格子定数を有する。IrおよびPtの(111)方向における格子定数は、0.653nmおよび0.680nmであり、PZT(111)は0.7187nmの格子定数を有する。両方の方向において、IrまたはPtのいずれかとPZTとの格子不整合は約8%より小さくなければならない。したがって、(100)または(111)のPrまたはIr上で成長させたPZTはそれぞれ、(100)または(111)の組織を示すことが予測される。

【0014】PtおよびIrでの単一の方向を実現するために、堆積パラメータを注意深く選択すれば、特定の方向性を促進できる。プラチナの場合、(100)は成長が速い面である。中間成長温度(<400°C)および比較的高い堆積率は(100)プラチナの成長を促進する。

(111)面は低エネルギー層であり、したがって、成長率を低下させる高温(>400°C)はこの方向を促進する。(111)配向Ptを促進するための別の機構は、薄いTi種層をPtの下に追加することである。Ti種層が

(111)組織を促進することは実験によって実証されている。

【0015】コンデンサ用のPZT層は、単一の結晶基板上に堆積される場合が多く、PZT層が堆積されるトランジスタ用の他の面は多結晶である場合が多い。したがって、近接して整合した格子定数は所望の組織の生成を確実にする上で十分ではない。堆積条件と材料系の他の物理的特性の利用によって、特定の結晶方向が促進可能となる。

【0016】この組織を制御する第3の機構は、PtおよびIrの場合の上述の方法と同じようにして、PZT薄膜の堆積温度を調節することである。例えば、PZTの(111)方向は、高温における低成長率によって促進されることが可能である。斜方六面位相において、強誘電双極子は[111]の方向に沿って存在する。これは、さらに、(-111)成長方向を促進する。

【0017】IrがPtと同様にふるまい、上記の組織生成工程がIrとともにPtにも効果的であることが予測される。

【0018】本発明の他の実施形態は、本願明細書中に開示される本発明の仕様または実行を考慮することによって、当業者には明らかである。本仕様および例は例示目的のみとして考慮され、本発明の真の範囲は記載の特許請求の範囲によって示されることが意図される。

【図面の簡単な説明】

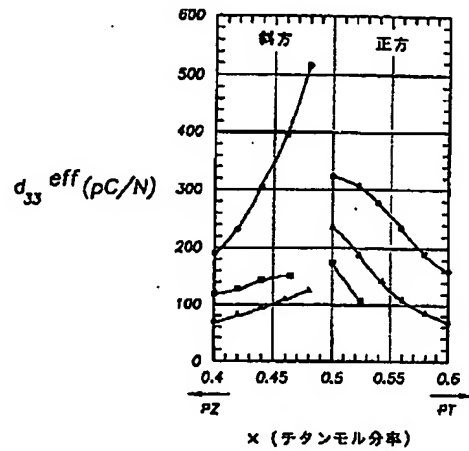
【図1】圧電係数 d_{31} を、結晶方向と斜方六面PZT膜および正方PZT膜の組成との関数として示すグラフである。

【図2】本発明による多層デバイスと配向薄膜とを組み込んだ強誘電メモリ装置の断面図である。

【符号の説明】

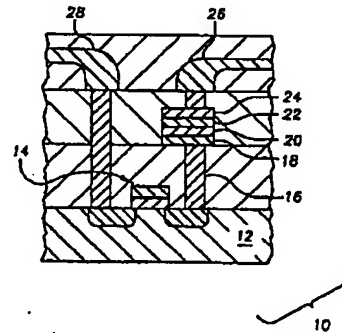
- 10 強誘電メモリ装置
- 12 基板
- 14 トランジスタ
- 16 ブラグ
- 18 拡散障壁
- 20 下部電極
- 22 誘電層
- 24 上部電極
- 26 ビット線
- 28 金属線

【図1】



● $[001]//$
 ▲ $[111]//$
 ■ セラミック

【図2】



フロントページの続き

(71)出願人 399117121
 395 Page Mill Road P
 alo Alto, California
 U. S. A.

(72)発明者 ジュン・アマノ
 アメリカ合衆国カリフォルニア州94010,
 ヒルズボロー, エンドフィールド・ウェイ
 740

F ターム(参考) 4G031 AA11 AA12 AA32 BA09 BA10
 CA01 CA08 GA05
 4K029 AA02 BA50 BB07 BC00 BD01
 CA05
 4K030 AA11 BA01 BA18 BA22 BA42
 BA46 BB01 CA02
 5F083 FR02 GA05 GA11 JA15 JA38
 MA06 MA17 MA20